

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05127619 A**

(43) Date of publication of application: **25 . 05 . 93**

(51) Int. Cl.

G09G 3/36
G02F 1/133

(21) Application number: **03286664**

(71) Applicant: **NEC CORP**

(22) Date of filing: **31 . 10 . 91**

(72) Inventor: **MIKOSHIBA KEIMEI**

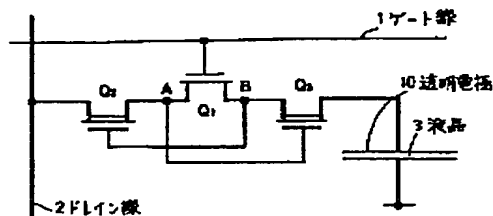
(54) **PIXEL CIRCUIT FOR DRIVING LIQUID CRYSTAL**

(57) Abstract:

PURPOSE: To decrease a leak current by reducing a voltage applied to a switching transistor(TR).

CONSTITUTION: Depletion type TRs Q_2 and Q_3 are connected on both sides of an enhancement type TR Q_1 for switching, and the source-drain voltage of the Q_1 is clamped with the source-gate voltages of the Q_2 and Q_3 . Therefore, even if the voltages of gate lines 1 and 2 vary, the source-drain voltage of the Q_1 is nearly constant, nearly equal to the source-gate voltage of the Q_2 and Q_3 , and sufficiently small (about 1V), so the leak current of the Q_1 is reducible.

COPYRIGHT: (C)1993,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-127619

(43) 公開日 平成5年(1993)5月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 2 0	7820-2K		

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平3-286664

(22) 出願日 平成3年(1991)10月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 御子柴 啓明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 井出 直孝

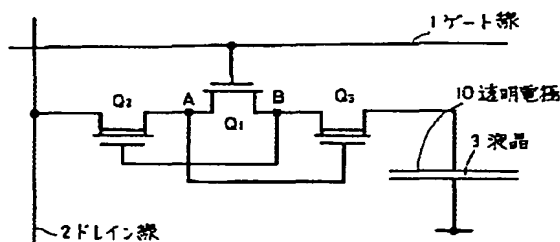
(54) 【発明の名称】 液晶駆動用ピクセル回路

(57) 【要約】

【目的】 スイッチング用トランジスタに加わる電圧を低減し、リーク電流の低減化を図る。

【構成】 スイッチング用のエンハンスメント型トランジスタ Q_1 の両側に、デプレッション型トランジスタ Q_2 および Q_3 を接続し、 Q_1 のソース・ドレイン間電圧を Q_2 、 Q_3 のソース・ゲート間電圧でクランプする構成とする。

【効果】 ゲート線1およびドレイン線2の電圧が変動しても、 Q_1 のソース・ドレイン間電圧はほぼ一定で、かつ Q_2 、 Q_3 のソース・ゲート間電圧にほぼ等しく、十分小さい(約1V)から、 Q_1 のリーク電流を低くすることができる。



1

【特許請求の範囲】

【請求項1】 薄膜トランジスタを用いた液晶駆動用ピクセル回路において、

前記薄膜トランジスタは、

制御電極が制御線に接続されたエンハンスメント型電界効果トランジスタ、第一電極が信号線に接続され第二電極および制御電極がそれぞれ前記エンハンスメント型電界効果トランジスタの第一電極および第二電極に接続された第一のデプレション型電界効果トランジスタ、および第二電極が液晶の透明電極に接続され第一電極および制御電極がそれぞれ前記エンハンスメント型電界効果トランジスタの第二電極および第一電極に接続された第二のデプレション型電界効果トランジスタの3個の薄膜トランジスタを含むことを特徴とする液晶駆動用ピクセル回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（以下、TFTという。）を用いた液晶表示装置（LCD）の液晶駆動用ピクセル回路に利用する。

【0002】

【従来の技術】 従来の液晶駆動用ピクセル回路は、図3にその一例を示すように、液晶3の透明電極10に接続された1個のエンハンスメント型MOS電界効果トランジスタ（以下、電界効果トランジスタはFETという。）からなるTFTQ₁から構成されている。また、他の例としては、図4に示すように、エンハンスメント型MOSFETからなるTFTQ₁およびQ₂の2個のTFTから構成される場合もある。

【0003】 例えば、図3において、ゲート線1とドレイン線2の交点にTFTQ₁が接続されている。ピクセルの選択はゲート線1に電圧が印加され、TFTQ₁を「オン」状態にすることによって行われる。このとき、ドレイン線2の画像信号はTFTQ₁を通過して液晶3に印加される。

【0004】 図4においては、画像信号がTFTQ₁とTFTQ₂とに分割されて印加される。大きい画像信号電圧が、2個のTFTQ₁とTFTQ₂とに二分される。

【0005】

【発明が解決しようとする課題】 この従来の液晶駆動用ピクセル回路において、TFTに多結晶シリコンを用いた場合、TFTのゲート・ドレイン間に数ボルト以上の電圧が印加されると、ドレイン端にゲート酸化膜を介して高電界が形成される。この高電界によって、多結晶シリコン中の欠陥を介してトンネル電流が流れる。このトンネル電流は、ドレインからソースに流れるため、TFTのリーク電流として現れる。このリーク電流により、液晶に蓄積された電荷が消失してしまい、液晶の明るさが変化してしまう欠点があった。

2

【0006】 TFTのリーク電流は、ドレイン端の電界に対し指数関数的に増大するため、TFTを複数個接続し、TFTに加わる電圧を分割する方法（図4参照）がある。しかし、この場合も画像信号電圧が高くなると、リーク電流を抑えるのが困難になる欠点がある。

【0007】 本発明の目的は、前記の欠点を除去することにより、TFTのリーク電流を低減できる液晶駆動用ピクセル回路を提供することにある。

【0008】

【課題を解決するための手段】 本発明は、薄膜トランジスタを用いた液晶駆動用ピクセル回路において、前記薄膜トランジスタは、制御電極が制御線に接続されたエンハンスメント型電界効果トランジスタ、第一電極が信号線に接続され第二電極および制御電極がそれぞれ前記エンハンスメント型電界効果トランジスタの第一電極および第二電極に接続された第一のデプレション型電界効果トランジスタ、および第二電極が液晶の透明電極に接続され第一電極および制御電極がそれぞれ前記エンハンスメント型電界効果トランジスタの第二電極および第一電極に接続された第二のデプレション型電界効果トランジスタの3個の薄膜トランジスタを含むことを特徴とする。

【0009】

【作用】 例えば、エンハンスメント型MOSFETは、スイッチングトランジスタとして動作し、第一および第二のデプレション型MOSFETは、そのソース・ゲート間電圧で、それぞれエンハンスメント型MOSFETのソース・ドレイン間電圧をクランプする。

【0010】 これにより、エンハンスメント型MOSFETのソース・ドレイン間電圧は、常にデプレション型MOSFETのしきい値電圧（約-1.0V）の低い値に保たれ、そのリーク電流を低減することができる。

【0011】

【実施例】 以下、本発明の実施例について図面を参照して説明する。

【0012】 図1は本発明の一実施例を示す回路図で、TFTとしてnチャネル型MOSFETを用いた場合を示し、第一電極はドレイン、第二電極はソース、および制御電極はゲートである。なお、第一電極をソース、第二電極をドレインとすることにより、pチャネル型MOSFETに対しても同様に適用することができる。

【0013】 本実施例は、TFTを用いた液晶駆動用ピクセル回路において、本発明の特徴とするところの、前記TFTは、ゲートが制御線としてのゲート線1に接続されたエンハンスメント型MOSFETからなるTFTQ₁と、ドレインが信号線であるドレイン線2に接続されソースおよびゲートがそれぞれTFTQ₁のドレインおよびソースに接続された第一のデプレション型MOSFETからなるTFTQ₂と、ソースが液晶3の透明電極10に接続されドレインおよびゲートがそれぞれTFT

4

ート5、6および7が形成されている。ゲート間にはコンタクト8が設けられ、配線9で接続される。

【0014】図1において、TFTQ₁ に対しTFTQ₂ およびQ₃ は、双方向のカスケード接続となっている。そのため、TFTQ₁ のソース・ドレイン間電圧は、常にTFTQ₂ およびQ₃ のしきい値電圧の絶対値にほぼ等しくなる。例えば、透明電極10の電圧が10V、ゲート線1の電圧が0V、ドレイン線2の電圧が0V、TFTQ₁ のしきい値電圧が-1Vとすれば、TFTQ₁ は「オン」状態になるからTFTQ₁ のA点はほぼ0Vになる。TFTQ₁ のゲートは0Vであるから、TFTQ₁ は「オフ」状態になる。TFTQ₁ が「オフ」状態であるから、TFTQ₁ には電流は流れない。従って、TFTQ₁ のゲート・ソース間電圧はほぼしきい値電圧-1Vになる。このしきい値電圧がTFTQ₁ のソース・ドレイン間に加わるから、TFTQ₁ のB点は約1Vになる。

【発明の効果】以上説明したように、本発明は、スイッチングトランジスタのソースおよびドレインにそれぞれデプレッション型MOSFETを接続し、スイッチングトランジスタのソース・ドレイン間電圧を、デプレッション型MOSFETのしきい値電圧にほぼ等しくなるようにしている。この結果、ドレイン端の電界が低下し、リーク電流を低減できる効果がある。

【0015】従って、透明電極10には10Vが加わっていても、TFTQ₁のゲートドレイン間には1Vしかかからない。この結果、TFTQ₁のドレイン端電界は緩和され、リーク電流は低く抑えられる。

【図 1】 本発明の一実施例を示す回路図。

【図2】図1に示した回路の素子パターン図。

【図3】一従来例を示す回路図。

【図4】他従来例を示す回路図。

【符号の説明】

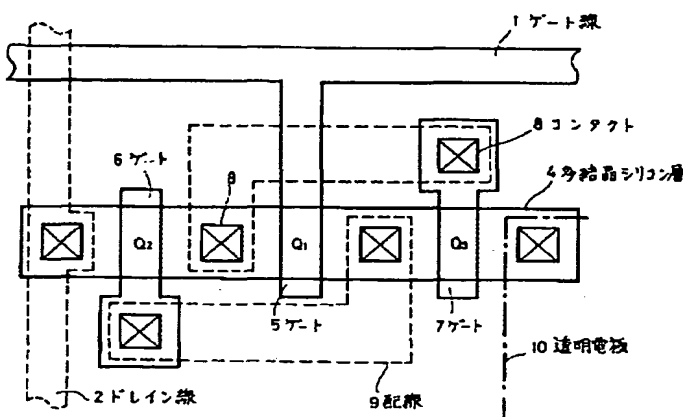
1 ゲート線
2 ドレイン線
3 液晶
4 多結晶シリコン層
5、6、7 ゲート
8 コンタクト
9 配線
10 透明電極

Q_1 、 Q_4 、 Q_5 、 Q_6 TFT (エンハンスメント型MOSFET)
 Q_2 、 Q_3 TFT (デプレッション型MOSFET)

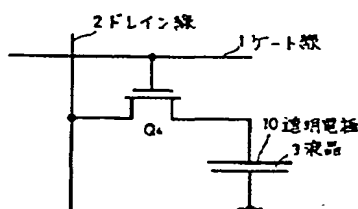
【0016】電位関係が逆転し、透明電極が0V、ゲート線が0V、ドレイン線が10Vの場合も、全く同じことが言える。すなわち、TFTQ₁には常に1V程度の電圧しかかからない。

【0017】図2は、本実施例の素子平面図である。多結晶シリコン層4上にTFTQ₁、Q₂、およびQ₃のゲ

【图 2】



【图 3】



(4)

特開平5-127619

【図4】

